

PCT/JP 2004/008221

日 本 国 特 許 庁
JAPAN PATENT OFFICE

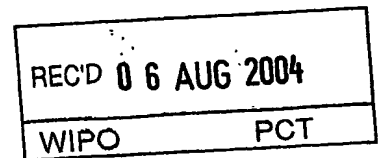
17. 6. 2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2003年 6月13日

出 願 番 号
Application Number: 特願2003-170104
[ST. 10/C]: [JP2003-170104]



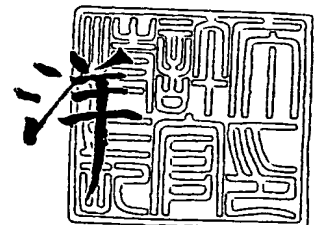
出 願 人
Applicant(s): 株式会社豊田自動織機
新潟精密株式会社
大見 忠弘

PRIORITY
DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2004年 7月22日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【書類名】 特許願

【整理番号】 2003TJ038

【提出日】 平成15年 6月13日

【あて先】 特許庁長官殿

【国際特許分類】 H03F 3/195

【発明者】

【住所又は居所】 愛知県刈谷市豊田町2丁目1番地 株式会社豊田自動織機内

【氏名】 西牟田 武史

【発明者】

【住所又は居所】 新潟県上越市西城町2丁目5番13号新潟精密株式会社内

【氏名】 宮城 弘

【発明者】

【住所又は居所】 宮城県仙台市青葉区米ヶ袋2-1-17-301

【氏名】 大見 忠弘

【発明者】

【住所又は居所】 宮城県仙台市青葉区川内元支倉35-2-102

【氏名】 須川 成利

【発明者】

【住所又は居所】 宮城県仙台市宮城野区平成1-1-22-K6

【氏名】 寺本 章伸

【特許出願人】

【識別番号】 000003218

【氏名又は名称】 株式会社豊田自動織機

【特許出願人】

【識別番号】 591220850

【氏名又は名称】 新潟精密株式会社

【特許出願人】

【識別番号】 000205041

【氏名又は名称】 大見 忠弘

【代理人】

【識別番号】 100074099

【弁理士】

【氏名又は名称】 大菅 義之

【電話番号】 03-3238-0031

【手数料の表示】

【予納台帳番号】 012542

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9005945

【包括委任状番号】 0118621

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 DC アンプ及びその半導体集積回路

【特許請求の範囲】

【請求項 1】 半導体集積回路基板上に形成された DC アンプであって、
第 1 の結晶面を主面とするシリコン基板上に第 2 の結晶面を側壁面として有する突出部を形成し、不活性ガスのプラズマ雰囲気中でシリコン表面の終端水素を除去した後、プラズマ雰囲気中で約 550 度 C 以下の温度で、前記突出部の頂面及び側壁面の少なくとも一部にゲート絶縁膜を形成し、該ゲート絶縁膜上にゲートを形成し、前記突出部の前記ゲート絶縁膜を挟む両側にドレイン及びソースを形成した M I S 電界トランジスタからなる差動増幅回路を有する DC アンプ。

【請求項 2】 前記突出部の頂面の第 1 の結晶面と側壁面の第 2 の結晶面にチャンネルが形成され、前記 M I S 電界効果トランジスタのチャンネル幅が、少なくとも前記頂面上のチャンネル幅と前記側壁面のチャンネル幅の総和からなる請求項 1 記載の DC アンプ。

【請求項 3】 前記突出部は、頂面がシリコンの (100) 面からなり、側壁面がシリコンの (110) からなり、前記ソース及びドレインが、前記ゲートを挟む前記突出部及びシリコン基板の該突出部の左右の領域に形成された請求項 1 または 2 記載の DC アンプ。

【請求項 4】 前記 DC アンプは、入力信号を差動増幅する第 1 及び第 2 の M I S 電界効果トランジスタと、前記第 1 及び第 2 の M I S 電界効果トランジスタのソースまたはドレインに共通接続される、定電流回路を構成する第 3 の M I S 電界効果トランジスタとからなる請求項 1, 2 または 3 記載の DC アンプ。

【請求項 5】 前記第 1 及び第 2 の M I S 電界効果トランジスタのソースまたはドレインと電源との間に接続され、該第 1 及び第 2 の M I S 電界効果トランジスタの負荷となる定電流回路を構成する第 4 及び第 5 の M I S 電界効果トランジスタを有する請求項 4 記載の DC アンプ。

【請求項 6】 第 1 の結晶面を主面とするシリコン基板上に第 2 の結晶面を側壁面として有する突出部を形成し、不活性ガスのプラズマ雰囲気中でシリコン表面の終端水素を除去した後、プラズマ雰囲気中で約 550 度 C 以下の温度で、前

記突出部の頂面及び側壁面の少なくとも一部にゲート絶縁膜を形成し、該ゲート絶縁膜上にゲートを形成し、前記突出部の前記ゲート絶縁膜を挟む両側にドレイン及びソースを形成したpチャネルMIS電界効果トランジスタとnチャネルMIS電界効果トランジスタとからなる回路と、

前記pチャネルMIS電界効果トランジスタまたはnチャネルMIS電界効果トランジスタからなる差動増幅回路を有するDCアンプとが同一回路基板上に形成された半導体集積回路。

【請求項7】 前記pチャネルMIS電界効果トランジスタとnチャネルMIS電界効果トランジスタの頂面及び側壁面のゲート幅を、前記pチャネルMIS電界効果トランジスタと前記nチャネルMIS電界効果トランジスタの電流駆動能力がほぼ等しくなるように設定した請求項6記載の半導体集積回路。

【請求項8】 前記リミッタ回路は、前記pチャネルMIS電界効果トランジスタとnチャネルMIS電界効果トランジスタとからなるCMOS回路で構成される請求項5または6記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路基板上に作成されるDCアンプ及びその半導体集積回路に関する。

【0002】

【従来の技術】

従来、MOSトランジスタの製造プロセスでは、800度C程度の高温雰囲気中でシリコン表面に熱酸化膜を形成し、その熱酸化膜をゲート絶縁膜としてMOSトランジスタを製造していた。

【0003】

半導体の生産効率を高めるためにより低い温度環境で酸化膜を形成することが望まれている。そのような要望を実現するために、例えば、特許文献1には、低温のプラズマ雰囲気中で絶縁膜を形成する技術が開示されている。

携帯電話等の無線通信の分野においては、機器の小型化、低コスト化を実現す

るために回路の集積化が行われている。

【0004】

無線信号の復調方式として、受信信号を中間周波数に変換し、増幅した後、ベースバンド信号に変換するスーパーヘテロダイン方式、受信信号を直接ベースバンド信号に変換するダイレクトコンバージョン方式が知られている。

ダイレクトコンバージョン方式は、スーパーヘテロダイン方式のように中間周波信号に変換する際に発生するイメージを除去するフィルタ等が不要となるので、より簡素な回路で受信機を構成することができる。

【0005】

ダイレクトコンバージョン受信機では、ミキサにおいて受信信号に 90° の位相差を持った局部発振信号を混合して位相の直交する2つのベースバンド信号に変換し、そのベースバンド信号をDCアンプで増幅する必要がある。

しかしながら、ミキサの出力信号にはDCオフセットが含まれているので、そのままDCアンプで増幅すると、DCオフセットも増幅され、ベースバンド信号の増幅利得が充分にとれないという問題がある。

【0006】

そのような問題点を解決するために、例えば、図7に示すように、オペアンプ71の入力側にDCオフセットを吸収するための比較的大容量のコンデンサ72を接続する回路が考えられている。

【0007】

【特許文献1】

特開2002-261091号公報（図1；段落0022等）

【0008】

【特許文献2】

特開2002-217769号公報

【0009】

【発明が解決しようとする課題】

しかしながら、図7のDCオフセットを除去できるような大容量のコンデンサ72を集積回路基板上に形成することは難しいので、外付けのコンデンサを使用

することになる。外付けのコンデンサを使用するためには、半導体集積回路にコンデンサを接続する端子73を設ける必要があり、信号の入出力端子として使用可能な外部端子の数が少なくなる。よって、必要な場合は端子を増やさなければならず、外付けコンデンサも考慮すると小型化に支障がでる。また、外付け部品を使用することにより部品コストが高くなるという問題がある。

【0010】

また、ダイレクトコンバージョン受信機において、MOSトランジスタでDCアンプを構成した場合、バイポーラトランジスタに比べてMOSトランジスタは $1/f$ ノイズが大きいことから、 $1/f$ ノイズを低減するための対策を施す必要がある。

【0011】

本発明の課題は、高利得のDCアンプを実現することである。他の課題は、DCアンプにおける信号の歪みを少なくすることである。

【0012】

【課題を解決するための手段】

本発明のDCアンプは、半導体集積回路基板上に形成されたDCアンプであって、第1の結晶面を主面とするシリコン基板上に第2の結晶面を側壁面として有する突出部を形成し、不活性ガスのプラズマ雰囲気中でシリコン表面の終端水素を除去した後、プラズマ雰囲気中で約550度C以下の温度で、前記突出部の頂面及び側壁面の少なくとも一部にゲート絶縁膜を形成し、該ゲート絶縁膜上にゲートを形成し、前記突出部の前記ゲート絶縁膜を挟む両側にドレイン及びソースを形成したMIS電界トランジスタからなる差動増幅回路を有する。

【0013】

この発明によれば、シリコン表面のダメージを減らし平坦度を高めることで、MIS電界効果トランジスタの特性（例えば、しきい値電圧など）のばらつきを少なくできる。これにより、DCアンプ内部で発生するDCオフセットと $1/f$ ノイズを低減することができるので、DCアンプの利得を大きくでき、DCアンプの周波数特性も改善できる。従って、DCオフセットを補償するための回路が不要になる。

【0014】

さらに、ゲートを立体構造にし、低温プラズマ雰囲気中でゲート絶縁膜を形成することでチャネル長変調効果の影響を少なくし、DCアンプにおける信号の歪みを減らすことができる。

また、立体構造の異なる結晶面にゲート絶縁膜を形成することで、MIS電界効果トランジスタの電流駆動能力を向上させることができる共に、シリコン基板の主面におけるMIS電界効果トランジスタの素子面積を小さくできる。

【0015】

上記の発明において、前記突出部の頂面の第1の結晶面と側壁面の第2の結晶面にチャネルが形成され、前記MIS電界効果トランジスタのチャネル幅が、少なくとも前記頂面上のチャネル幅と前記側壁面のチャネル幅の総和からなる。

このように構成することで、2つの結晶面にチャネルが形成されるのでMIS電界効果トランジスタの特性と電流駆動能力を向上させることができる。

【0016】

上記の発明において、前記突出部は、頂面がシリコンの(100)面からなり、側壁面がシリコンの(110)面からなり、前記ソース及びドレインが、前記ゲートを挟む前記突出部及びシリコン基板の該突出部の左右の領域に形成される。

このように構成することで、シリコン基板の(100)面と(110)面にチャネルを形成することができるので、MIS電界効果トランジスタの電流駆動能力を向上させることができる。

【0017】

上記の発明において、前記DCアンプは、pチャネルMIS電界効果トランジスタとnチャネルMIS電界効果トランジスタとからなり、前記pチャネルMIS電界効果トランジスタの突出部の頂面及び側壁面のゲート幅を、前記pチャネルMIS電界効果トランジスタとnチャネルMIS電界効果トランジスタの電流駆動能力がほぼ等しくなるように設定する。

【0018】

このように構成することで、pチャネルMIS電界効果トランジスタとnチャネルMIS電界効果トランジスタの寄生容量をほぼ等しくできるので、DCアン

プの特性を改善できる。また、スイッチング時のノイズを低減できる。

上記の発明において、前記DCアンプは、入力信号を差動増幅する第1及び第2のMIS電界効果トランジスタと、前記第1及び第2のMIS電界効果トランジスタのソースまたはドレインに共通接続される、定電流回路を構成する第3のMIS電界効果トランジスタとからなる。

【0019】

また、上記の発明において、前記第1及び第2のMIS電界効果トランジスタのソースまたはドレインと電源との間に接続され、該第1及び第2のMIS電界効果トランジスタの負荷となる定電流回路を構成する第4及び第5のMIS電界効果トランジスタを有する。

【0020】

このように構成することで、第1及び第2のMIS電界効果トランジスタからなる差動増幅回路、第3のMIS電界効果トランジスタからなる定電流回路、または第4及び第5のMIS電界効果トランジスタからなる定電流回路におけるDCオフセットを減らすことができる。また、それらの回路におけるチャネル長変調効果の影響を低減できる。

【0021】

本発明の半導体集積回路は、第1の結晶面を主面とするシリコン基板上に第2の結晶面を側壁面として有する突出部を形成し、不活性ガスのプラズマ雰囲気中でシリコン表面の終端水素を除去した後、プラズマ雰囲気中で約550度C以下の温度で、前記突出部の頂面及び側壁面の少なくとも一部にゲート絶縁膜を形成し、該ゲート絶縁膜上にゲートを形成し、前記突出部の前記ゲート絶縁膜を挟む両側にドレイン及びソースを形成したpチャネルMIS電界効果トランジスタとnチャネルMIS電界効果トランジスタとからなる回路と、前記pチャネルMIS電界効果トランジスタまたはnチャネルMIS電界効果トランジスタからなる差動増幅回路を有するDCアンプとが同一回路基板上に形成される。

【0022】

この発明によれば、MIS電界効果トランジスタの特性（例えば、しきい値電圧など）のばらつきを少なくすることで、DCアンプ内部で発生するDCオフセ

ットと $1/f$ ノイズを低減することができる。これにより、DC アンプの利得を大きくできると共に、DC アンプの周波数特性も改善でき、DC オフセットを補償するための回路も不要になる。

【0023】

さらに、ゲートを立体構造にし、低温プラズマ雰囲気中でゲート絶縁膜を形成することでチャネル長変調効果の影響を少なくし、DC アンプにおける信号の歪みを減らすことができる。

また、DC アンプ以外の回路に上記 p チャネル MIS 電界効果トランジスタと n チャネル MIS 電界効果トランジスタを使用することで、その回路における信号の歪みを少なくできる。また、その回路における $1/f$ ノイズと DC オフセットを減らすことができる。

【0024】

上記の発明において、前記 DC アンプは、前記 p チャネル MIS 電界効果トランジスタと n チャネル MIS 電界効果トランジスタとからなる CMOS 回路で構成される。

このように構成することで、p チャネル MIS 電界効果トランジスタと n チャネル MIS 電界効果トランジスタの寄生容量をほぼ等しくできるので、スイッチング時のノイズを正負対称にしてノイズを減らすことができる。

【0025】

【発明の実施の形態】

以下、本発明の実施の形態を図面を参照しながら説明する。最初に、プラズマ状態の不活性ガスを用いて低温でシリコン基板上にゲート絶縁膜（例えば、酸化膜）を形成し、MIS (metal insulator semiconductor) 電界効果トランジスタを製造する半導体製造プロセスについて説明する。ゲート絶縁膜の形成方法については、特開 2002-261091 号公報に開示されている。

【0026】

図 1 は、半導体製造プロセスで使用されるラジアルラインスロットアンテナを用いたプラズマ処理装置の断面図である。

真空容器（処理室）11 内を真空にし、次にシャワープレート 12 からアルゴ

ン (Ar) ガスを導入した後、Ar ガスを排出口 11A から排出し、クリプトン (Kr) ガスに切り替える。処理室 11 内の圧力は 133 Pa (1 Torr) 程度に設定する。

【0027】

次に、シリコン基板 14 を、加熱機構を持つ試料台 13 の上に置き、試料の温度を 400℃程度に設定する。シリコン基板 14 の温度が 200-550℃の範囲内であれば、以下に述べる結果はほとんど同様のものとなる。

シリコン基板 14 は、直前の前処理工程において希フッ酸洗浄が施され、その結果表面のシリコン未結合手が水素で終端されている。

【0028】

次に、同軸導波管 15 からラジアルラインスロットアンテナ 16 に周波数が 2.45 GHz のマイクロ波を供給し、マイクロ波をラジアルラインスロットアンテナ 16 から処理室 11 の壁面の一部に設けられた誘電体板 17 を通して処理室 11 内に導入する。導入されたマイクロ波はシャワープレート 12 から処理室 11 内に導入された Kr ガスを励起し、その結果シャワープレート 12 の直下に高密度の Kr プラズマが形成される。供給するマイクロ波の周波数が 900 MHz 程度以上、約 10 GHz 程度以下の範囲にあれば、以下に述べる結果はほとんど同様のものとなる。

【0029】

図 1 の構成においてシャワープレート 12 とシリコン基板 14 の間隔は約 6 cm に設定している。この間隔は狭いほうがより高速な成膜が可能となる。

なお、ラジアルラインスロットアンテナを用いたプラズマ装置に限らず、他の方法を用いてマイクロ波を処理室内に導入してプラズマを励起してもよい。

【0030】

シリコン基板 13 を Kr ガスで励起されたプラズマに曝すことにより、シリコン基板 14 の表面は低エネルギーの Kr イオン照射を受け、その表面終端水素が除去される。

次に、シャワープレート 12 から 97/3 の分圧比の Kr/O₂ 混合ガスを導入する。この際、処理室内の圧力は 133 Pa (1 Torr) 程度に維持してお

く。Kr ガスと O₂ ガスが混合された高密度励起プラズマ中では、中間励起状態にある Kr* と O₂ 分子が衝突し、原子状酸素 O* を効率よく大量に発生できる。

【0031】

この実施の形態では、この原子状酸素 O* によりシリコン基板 14 の表面を酸化する。従来のシリコン表面の熱酸化法では、O₂ 分子や H₂O 分子により酸化が行われ、800°C 以上の極めて高い処理温度が必要であったが、この実施の形態で行った原子状酸素による酸化処理では、400°C 程度の非常に低い温度で酸化が可能である。Kr* と O₂ の衝突機会を大きくするには、処理室圧力は高い方が望ましいが、あまり高くすると、発生した O* 同志が衝突し、O₂ 分子に戻ってしまうので、最適ガス圧力が存在する。

【0032】

所望の膜厚のシリコン酸化膜（シリコン化合物層）が形成されたところでマイクロ波パワーの導入を止めプラズマ励起を終了し、さらに Kr/O₂ 混合ガスを Ar ガスに置換して酸化工程を終了する。本工程の前後に Ar ガスを使用するのは Kr より安価なガスをパージガスに使用するためである。本工程に使用された Kr ガスは回収再利用する。

【0033】

上記の酸化膜形成に続いて、電極形成工程、保護膜形成工程、水素シタ処理工程等を施してトランジスタやキャパシタを含む半導体集積回路を作成する。

上記の手順で形成されたシリコン酸化膜中の水素含有量を昇温放出により測定したところ、3 nm の膜厚のシリコン酸化膜において面密度換算で $10^{12}/\text{cm}^2$ 程度以下であった。特にリーク電流が少ない酸化膜においてはシリコン酸化膜内の水素含有量は、面密度換算で $10^{11}/\text{cm}^2$ 程度以下であった。一方、酸化膜形成前に Kr プラズマの暴露を行わなかった酸化膜は面密度換算で $10^{12}/\text{cm}^2$ を超える水素を含んでいた。

【0034】

上記のように Kr プラズマ照射により終端水素除去を施してから Kr/O₂ ガスを導入して酸化を行った場合には、従来のマイクロ波プラズマ酸化により形成されたシリコン酸化膜よりも同一電圧におけるリーク電流が 2～3 桁も減少し、

非常に良好な低リーク特性が得られた。リーク電流特性の改善は、さらに薄い 1.7 nm 程度までの膜厚のシリコン酸化膜でも集積回路を製造できることが確認された。

【0035】

また、上記の半導体製造プロセスにより得られたシリコン酸化膜について、シリコン／シリコン酸化膜界面準位密度の面方位依存性を測定してみると、どの面方位のシリコン表面においても、約 $1 \times 10^{10} \text{ cm}^{-2} \text{ eV}^{-1}$ の非常に低い界面準位密度が得られた。

【0036】

図2は、シリコン基板の(100)面、(110)面、(111)面の各面に上述した半導体性製造プロセスにより形成したKr/O₂膜と、従来の熱酸化膜の界面準位密度の測定結果を示す図である。

図2に示すように、Kr/O₂膜を形成した場合には、(100)面、(110)面、(111)面の何れの面でもシリコンの界面準位密度が約 $10^{10} \text{ cm}^{-2} \text{ eV}^{-1}$ 以下となっている。これに対して、従来の800°C以上の雰囲気中で形成した熱酸化膜の界面準位密度は、(100)面でも1.1倍以上の値となっており、上記の半導体製造プロセスにより、界面準位密度の低い高品質の絶縁膜を形成できることが分かる。

【0037】

界面準位密度を低くすることにより、キャリアの再結合の確率を減らすことができ、それにより1/fノイズを低減することができる。

耐圧特性、ホットキャリア耐性、ストレス電流を流したときのシリコン酸化膜が破壊に至るまでの電荷量QBD (Charge-to-Breakdown) などの電気的特性、信頼性的特性に関して、第1の実施の形態の半導体製造プロセスで形成した酸化膜は、従来の熱酸化膜と同等ないしはそれ以上の良好な特性を示した。

【0038】

上述したように、表面終端水素を除去してからKr/O₂高密度プラズマによりシリコン酸化工程を行うことで、400°Cという低温において、あらゆる面

方位のシリコンに優れたシリコン酸化膜を形成することができる。このような効果が得られるのは、終端水素除去により酸化膜中の水素含有量が少なくなり、かつ、酸化膜中に不活性ガス（例えば、Kr）が含有されることに起因していると考えられる。酸化膜中の水素が少ないことでシリコン酸化膜内の元素の弱い結合が少なくなり、またKrが含有されることにより、膜中やSi/SiO₂界面でのストレスが緩和され、膜中電荷や界面準位密度が低減され、その結果、シリコン酸化膜の電気的特性が大幅に改善されているものと考えられる。

【0039】

上述した半導体製造プロセスでは、表面密度換算において水素濃度を $10^{12}/\text{cm}^2$ 以下、望ましくは $10^{11}/\text{cm}^2$ 程度以下にすることと、 $5 \times 10^{11}/\text{cm}^2$ 以下程度のKrを含むことが、シリコン酸化膜の電気的特性、信頼性的特性の改善に寄与しているものと考えられる。

【0040】

なお、上記の半導体プロセスにおいて、不活性ガスとNH₃ガスとの混合ガス、不活性ガスとO₂とNH₃との混合ガスを用い、シリコン窒化膜、シリコン酸窒化膜を形成しても良い。

窒化膜を形成することにより得られる効果は、表面終端水素を除去した後においても、プラズマ中に水素が存在することがひとつの重要な要件である。プラズマ中に水素が存在することにより、シリコン窒化膜中及び界面のダングリングボンドがSi-H、N-H結合を形成して終端され、その結果シリコン窒化膜及び界面の電子トラップが無くなると考えられる。

【0041】

また、酸窒化膜を形成することにより得られる効果は、終端水素除去により酸窒化膜中の水素含有量が減少していることだけではなく、酸窒化膜中に数割以下の窒素が含有していることにも起因しているとも考えられる。酸窒化膜のKrの含有量は酸化膜に比較すると $1/10$ 以下であり、Krの代わりに窒素が多く含有されている。すなわち、酸窒化膜中の水素が少ないために、シリコン窒化膜中において弱い結合の割合が減少し、また窒素が含有されることにより、膜中やSi/SiO₂また界面でのストレスが緩和され、その結果膜中電荷や界面準位密

度が減少し、酸化膜の電気的特性が大幅に改善されたものと考えられる。

【0042】

プラズマ雰囲気中において酸化膜、あるいは酸化膜を形成することにより得られた好ましい結果は、終端水素が除去されたことによることだけが原因ではなく、窒化膜、酸化膜中にArまたはKrが含有されることにも関係すると考えられる。すなわち、上記の半導体製造プロセスにより得られる窒化膜では窒化膜中やシリコン／窒化膜界面でのストレスが、窒化膜中に含有されるArあるいはKrにより緩和され、その結果シリコン窒化膜中の固定電荷や界面準位密度が低減され、電気的特性特には1/fノイズの低減、信頼性が大幅に改善されたものと考えられる。

【0043】

上記の半導体製造プロセスにおいて使用する不活性ガスは、Arガス、Krガスに限らず、キセノンXeガスも使用できる。

さらに、シリコン酸化膜、シリコン酸窒化膜を形成した後、真空容器1内の圧力を133Pa (1 Torr) 程度に保ったままシャワープレート12から分圧比98/2のKr/NH₃混合ガスを導入し、シリコン酸化膜、シリコン酸窒化膜の表面に約0.7nmのシリコン窒化膜を形成しても良い。

【0044】

これにより、表面にシリコン窒化膜が形成されたシリコン酸化膜、あるいはシリコン酸窒化膜が得られるのでより高い比誘電率を有する絶縁膜を形成することができる。

上述した半導体製造プロセスを実現するためには、図1の装置の他に、プラズマを用いた低温の酸化膜形成を可能とする別のプラズマプロセス用装置を使用してもかまわない。たとえば、マイクロ波によりプラズマを励起するためのArまたはKrガスを放出する第1のガス放出構造と、O₂、NH₃、またはN₂/H₂ガスを放出する、前記第1のガス放出構造とは異なる第2のガス放出構造とをもつ2段シャワープレート型プラズマプロセス装置を使用することも可能である。

【0045】

次に、本発明の実施の形態の半導体製造プロセスについて説明する。この半導

体プロセスは、シリコン基板の(100)面と(110)面にMIS電界効果トランジスタのゲート絶縁膜を形成するものである。

シリコンの(111)面にpチャネルトランジスタを形成すると、(100)面に比べて約1.3倍の電流駆動能力が得られ、(110)面に形成すると、(100)の面の約1.8倍の電流駆動能力が得られる。

【0046】

図3は、実施の形態の半導体製造プロセスにより、シリコン基板22に(100)と(110)面を有する突出部23及び24を形成した状態を示している。また、図4は、実施の形態の半導体製造プロセスにより製造したnチャネルMOSトランジスタ20と、pチャネルMOSトランジスタ21の構造を示す図である。なお、図4にはゲート酸化膜の下部に形成されるチャネルを斜線で示してある。

【0047】

図3に示すように、(100)面を主面とするシリコン基板22は、素子分離領域22cによりp型領域Aとn型領域Bとに分離されている。領域Aには、(100)面を基準にして高さが H_A で幅が W_{1A} の直方体形状の突出部23が形成され、領域Bには、同様に高さが H_B で幅が W_{1B} の突出部24が形成されている。

【0048】

図4に示すように、シリコン基板22の表面及び突出部23及び24の頂面及び側壁面には、上述した第1の実施の形態の半導体製造プロセスによりシリコン酸化膜が形成されている。

そして、そのシリコン酸化膜の上にポリシリコンゲート電極25及び26が形成され、ゲート電極25及び26を形成する際に、シリコン酸化膜もパターンニングされ、ゲート電極25及び26の下部にゲート絶縁膜27及び28が選択的に形成される。

【0049】

さらに、p型領域Aのゲート電極25の両側の領域にn型不純物イオンを注入して、突出部23を含むn型拡散領域29及び30を形成している。このn型拡

散領域 29 及び 30 は、n チャネル MOS トランジスタ 20 のソースとドレインを構成する。n 型領域 B においても、同様にゲート電極 26 の両側の領域に p 型不純物イオンを注入して、突出部 24 を含む p 型拡散領域 31 及び 32 を形成している。この p 型拡散領域 31 及び 32 は、p 型 MOS トランジスタ 21 のソースとドレインを構成する。

【0050】

p チャネル MOS トランジスタ 21 及び n チャネル MOS トランジスタ 20 のゲート電極 26 及び 25 に所定の電圧が印加されると、ゲート酸化膜 28 及び 27 の下部に、図 4 に斜線で示すチャンネルが形成される。

n チャネル MOS トランジスタ 20 の (100) 面のゲート幅は、突出部 23 の頂面 (突出部 23 の上面) で W_{1A} 、突出部 23 の下部の左右のシリコン基板 22 の平坦部でそれぞれ $W_{2A}/2$ であるので合計で $W_{1A} + W_{2A}$ となる。また、n チャネル MOS トランジスタ 20 の (110) 面のゲート幅、すなわち突出部 23 の左右の側壁面のゲート幅は、それぞれ H_A であるので合計で $2H_A$ となる。このゲート幅がチャンネル幅に相当する。n チャネル MOS トランジスタ 20 のゲート長は L_{gA} である。

【0051】

従って、n チャネル MOS トランジスタ 20 の電流駆動能力は、 $\mu_{n1}(W_{1A} + W_{2A}) + \mu_{n2} \cdot 2H_A$ で表すことができる。なお、 μ_{n1} は (100) 面における電子移動度、 μ_{n2} は (110) 面における電子移動度である。

同様に、p チャネル MOS トランジスタ 21 の (100) 面のゲート幅は突出部 24 の頂面で W_{1B} 、突出部 24 の下部の左右のシリコン基板 22 の平坦部でそれぞれ $W_{2B}/2$ であるので、合計で $W_{1B} + W_{2B}$ となる。また、p チャネル MOS トランジスタ 21 の (110) 面のゲート幅、すなわち、突出部 24 の左右の側壁面におけるゲート幅は、それぞれ H_B であるので、合計のゲート幅は $2H_B$ となる。このゲート幅がチャンネル幅に相当する。p チャネル MOS トランジスタ 21 のゲート長は L_{gB} である。

【0052】

従って、p チャネル MOS トランジスタ 21 の電流駆動能力は、 $\mu_{p1}(W_{1B} +$

$W_{2B}) + \mu_{p2} \cdot 2 H_B$ で表すことができる。 μ_{p1} は、(100)面におけるホール移動度、 μ_{p2} は、(110)面におけるホール移動度を表す。

以上のことから、突出部23及び24の高さ H_A を及び H_B を適宜な値に設定することで、pチャネルMOSトランジスタ21の電流駆動能力と、nチャネルMOSトランジスタ20の電流駆動能力を平衡させることができる。この条件を式で表すと、以下のようになる。

【0053】

$$\mu_{n1} (W_{1A} + W_{2A}) + \mu_{n2} \cdot 2 H_A = \mu_{p1} (W_{1B} + W_{2B}) + \mu_{p2} \cdot 2 H_B$$

上記の式を満足するような値に H_A を及び H_B を設定することにより、pチャネルMOSトランジスタ21の電流駆動能力とnチャネルMOSトランジスタ20の電流駆動能力を平衡させることができる。この場合、pチャネルMOSトランジスタ21の主面（例えば、(100)面）におけるチャネル幅を、nチャネルMOSトランジスタ20の(100)におけるチャネル幅に比べて大幅に広くする必要がないので、両者のゲート絶縁膜による寄生容量の差を小さくできる。これにより、pチャネルMOSトランジスタ21とnチャネルMOSトランジスタ20とによりCMOS構造の回路を構成した場合に、両者の寄生容量をほぼ等しくして充放電のときの電流値のアンバランスを減らし、トランジスタのスイッチング時に発生するノイズを小さくできる。

【0054】

なお、nチャネルMOSトランジスタ20のゲートの高さ H_A を「0」にし、そのnチャネルMOSトランジスタ20と電流駆動能力がほぼ等しくなるようにpチャネルMOSトランジスタ21のゲートの高さ H_B を設定しても良い。

また、pチャネルMOSトランジスタ21またはnチャネルMOSトランジスタ20を単独で形成する場合でも、pチャネルまたはnチャネルMOSトランジスタのシリコン基板の主面（例えば、(100)面）におけるゲートの面積を従来の半導体製造プロセスで製造する場合より狭くできるので、pチャネルMOSトランジスタ及びnチャネルMOSトランジスタのシリコン基板の主面に占める面積を小さくできる。これにより、半導体回路の集積度を高めることができる。さらに、pチャネル及びnチャネルMOSトランジスタの寄生容量を小さくでき

るので、MOSトランジスタのスイッチング速度の向上と、スイッチング時の消費電力を減らすことができる。

【0055】

なお、シリコン表面に形成する絶縁膜は酸化膜に限らず、シリコン窒化膜、シリコン酸窒化膜等を形成しても良い。

次に、上述した実施の形態の半導体プロセスによりダイレクトコンバージョンの受信機用半導体集積回路を製造する場合について説明する。

【0056】

図5は、ダイレクトコンバージョン受信機の回路の主要部を示す図である。

アンテナ41で受信された無線信号は、ローノイズアンプ42により増幅され、ミキサ回路43及び44に入力する。

ミキサ回路43の他方の入力端子には、局部発振回路45で生成されるローカル信号が入力し、ミキサ回路44の他方の入力端子には、そのローカル信号の位相を移相器46により90度ずらしたローカル信号が入力する。

【0057】

ミキサ回路43及び44において、受信信号とそれらのローカル信号が混合され、90度の位相差を有するベースバンド信号に変換される。そして、ローパスフィルタ47、48により所定の周波数以上の信号が減衰され、DCアンプ49、50に出力される。

【0058】

DCアンプ49、50は、直流成分から増幅できるアンプであり、A/D変換器51、52の分解能に応じた信号レベルまで入力信号を増幅する。

A/D変換器51、52は、アナログのベースバンド信号をデジタル信号に変換し、デジタル信号処理プロセッサ(DSP)53に出力する。

【0059】

DSP53は、ベースバンド信号に対してデジタル信号処理を行い、信号を復調する。

ここで、DCアンプ49、50の回路の一例を図6を参照して説明する。

nチャネルMOSトランジスタ61、62は、差動増幅回路を構成しており、

ローパスフィルタ 47 または 48 から出力される信号 V_{in} が MOS トランジスタ 61 のゲートに入力し、信号 $-V_{in}$ が MOS トランジスタ 62 のゲートに入力している。

【0060】

n チャネル MOS トランジスタ 63 と n チャネル MOS トランジスタ 64 とはカレントミラー回路を構成し、MOS トランジスタ 63 のドレインは、MOS トランジスタ 61、62 のソースに共通接続されている。MOS トランジスタ 64 のドレインは定電流源 65 を介して電源電圧 V_{DD} に接続され、MOS トランジスタ 63、64 のゲートは、MOS トランジスタ 64 のドレインに接続されている。

【0061】

MOS トランジスタ 63、64 は、定電流回路を構成しており、MOS トランジスタ 64 のドレインには定電流源 65 が接続されているので、MOS トランジスタ 63 には、その定電流源 65 から供給される電流に比例した一定電流が流れる。

【0062】

p チャネル MOS トランジスタ 66、67 は、カレントミラー回路を構成し、ソースが電源電圧 V_{DD} に接続され、ドレインがそれぞれ MOS トランジスタ 61、62 のドレインに接続されている。また、MOS トランジスタ 66、67 のゲートは、MOS トランジスタ 66 のドレインに接続されている。この MOS トランジスタ 66 及び 67 は、MOS トランジスタ 61 及び 62 の負荷として機能する。

【0063】

上記の差動増幅回路からなる DC アンプは、入力信号 V_{in} 及び $-V_{in}$ を MOS トランジスタ 61、62 で差動増幅し、増幅した信号を V_o として出力している。

DC アンプの MOS トランジスタのゲートを立体構造にし、かつ低温プラズマ雰囲気中でゲート酸化膜を形成することで、MOS トランジスタ 61 と 62 からなる差動増幅回路のチャネル長変調効果の影響を少なくでき、差動増幅回路にお

ける信号の歪みを減らすことができる。また、差動増幅回路の負荷として機能するドレイン側の定電流回路（MOSトランジスタ66と67からなる回路）と、ソース側の定電流回路（MOSトランジスタ63と64とからなる回路）のチャネル長変調効果の影響を少なくできるので、それらの回路におけるドレイン電流の変動を少なくできる。

【0064】

上述したように、シリコン表面のダメージを減らし表面を平坦化することで、MOSトランジスタの特性（例えば、しきい値電圧など）のばらつきを少なくできるので、回路全体のDCオフセットを小さくできる。これにより、DCオフセットを除去するための回路やコンデンサ等が不要となり、DCアンプの信号利得を大きくすることができる。DCアンプの信号利得を大きくすることで、例えば、ダイレクトコンバージョン方式の受信回路のDCアンプの後段のA/D変換器に分解能の低いD/A変換器を使用できる。

【0065】

さらに、アルゴン等のプラズマ雰囲気中でシリコン表面の終端水素を除去し、その後、酸素を含むアルゴン、クリプトン、あるいはキセノンと、酸素、窒素等の気体分子を含むプラズマの雰囲気中で、かつ550度以下の温度でシリコン絶縁膜を薄く、平坦に形成することで、シリコン表面の界面準位密度を低くすることができる。これにより、キャリアの再結合の確率を減らし、 $1/f$ ノイズを低減することができる。 $1/f$ ノイズを減らすことで、ミキサ43及び44でダウンコンバートされた信号のS/N比が改善されるので、DCアンプの利得を大きくすることができる。

【0066】

また、MOSトランジスタの電流駆動能力を向上させると共に、素子面積を小さくできるので、集積度を高め、かつ動作速度を向上できる。また、DCアンプの電界効果トランジスタの動作特性を揃え、寄生容量を減らすことができるので、差動増幅回路の周波数特性が改善され、DCオフセットが減少することから大きな信号利得を得ることができる。このようにDCオフセットや $1/f$ のノイズを低減することができるので、受信信号を音声信号に直接変換するダイレクトコ

ンバージョン方式のDCアンプに特に有効である。

【0067】

DCアンプは、例えば、nチャネルMOSとpチャネルMOSトランジスタからなるCMOS回路で構成することも可能である。その場合、pチャネルMOSトランジスタとnチャネルMOSトランジスタの寄生容量をほぼ同じ値にし、かつ寄生容量を小さくできるので回路の動作速度等が向上する。また、pチャネル及びnチャネルMOSトランジスタのオン、オフ時の電流の不均衡によるノイズを低減できる。

【0068】

DCアンプ以外の周波数変換回路、A/D変換回路、デジタル回路等で使用されるpチャネルMOSトランジスタとnチャネルMOSトランジスタを上述した半導体プロセスにより製造しても良い。

このように構成することで、他の回路のpチャネルMOSトランジスタとnチャネルMOSトランジスタの特性を揃えることができるので、DCオフセットや $1/f$ ノイズを低減できる。また、MOSトランジスタの電流駆動能力が向上するので回路の動作特性も改善される。

【0069】

さらに、DCアンプ、あるいは他の回路のpチャネルMOSとnチャネルMOSトランジスタのチャネルを、シリコンの異なる結晶面（例えば、(100)面と(110)）に形成するようにし、それらのチャネル幅をpチャネルMOSトランジスタとnチャネルMOSトランジスタの電流駆動能力がほぼ等しくなるように設計しても良い。

【0070】

このように構成することで、pチャネルMOSトランジスタとnチャネルMOSトランジスタの寄生容量等をほぼ同じにできるので、スイッチング特性を向上できると共に、MOSトランジスタのオン、オフ時に流れる電流により発生するノイズを低減できる。

【0071】

本発明は、上述した実施の形態に限らず、以下のように構成しても良い。

本発明のDCアンプは、ダイレクトコンバージョン方式の回路に限らず、他の回路にも適用できる。また、DCアンプは、実施の形態の差動増幅回路に限らず、他の構成の増幅回路でも良い。

【0072】

シリコンの結晶面は、(100)面と(110)面の組み合わせに限らず、(100)面と(111)面等の他の結晶面と組み合わせても良い。

【0073】

【発明の効果】

本発明によれば、DCアンプのDCオフセットと $1/f$ ノイズを減らすことができるので、DCオフセットを補償するための回路が不要となる。また、 $1/f$ ノイズが低減されるのでDCアンプの周波数特性も改善される。さらに、チャネル長変調効果の影響を少なくし、DCアンプにおける信号の歪みを少なくできる。

【図面の簡単な説明】

【図1】

ラジアルラインスロットアンテナを用いたプラズマ装置の断面図である。

【図2】

界面準位密度の比較図である。

【図3】

実施の形態の半導体製造プロセスにより製造したシリコン基板の構造を示す図である。

【図4】

実施の形態の半導体製造プロセスにより製造したMOSトランジスタの構造を示す図である。

【図5】

ダイレクトコンバージョン方式の受信回路を示す図である。

【図6】

DCアンプの回路を示す図である。

【図7】

従来のDCアンプの回路を示す図である。

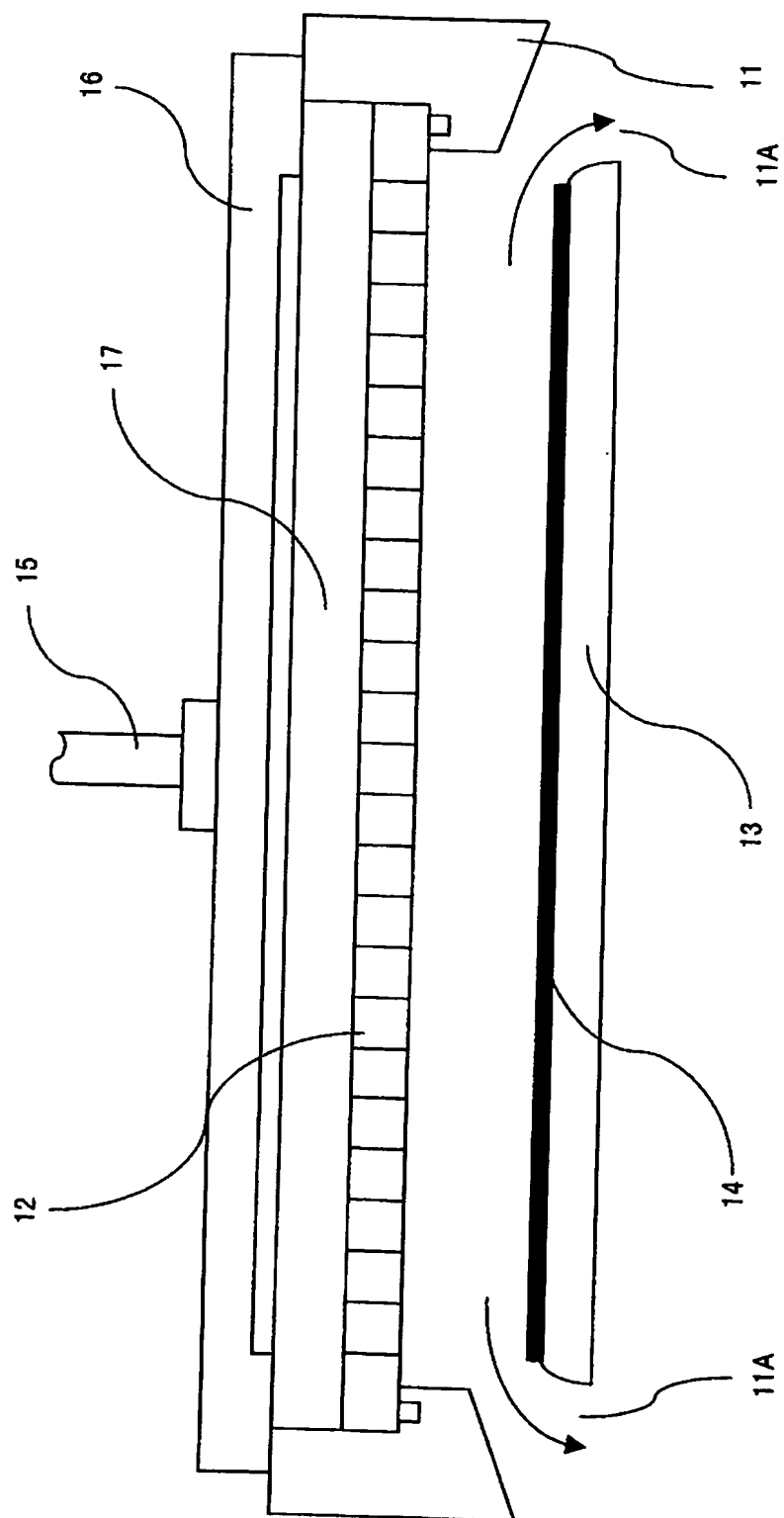
【符号の説明】

- 11 真空容器
- 12 シャワープレート
- 14 シリコン基板
- 15 同軸導波管
- 16 ラジアルスロットライン
- 17 誘電体板
- 22 シリコン基板
- 20 nチャネルMOSトランジスタ
- 21 pチャネルMOSトランジスタ
- 23, 24 突出部
- 25、26 ゲート電極
- 27、28 ゲート酸化膜
- 43, 44 ミキサ
- 49, 50 DCアンプ
- 51, 52 A/D変換器
- 61～64 nチャネルMOSトランジスタ
- 66, 67 pチャネルMOSトランジスタ

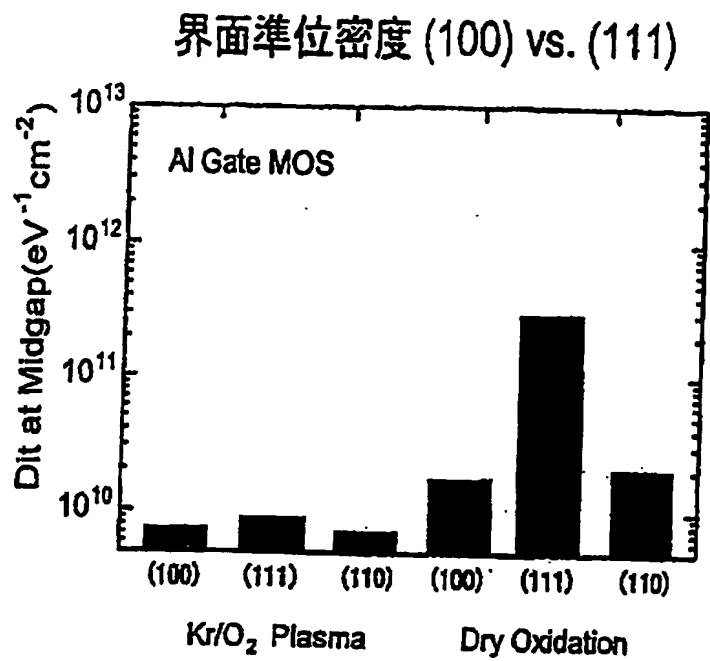
【書類名】

図面

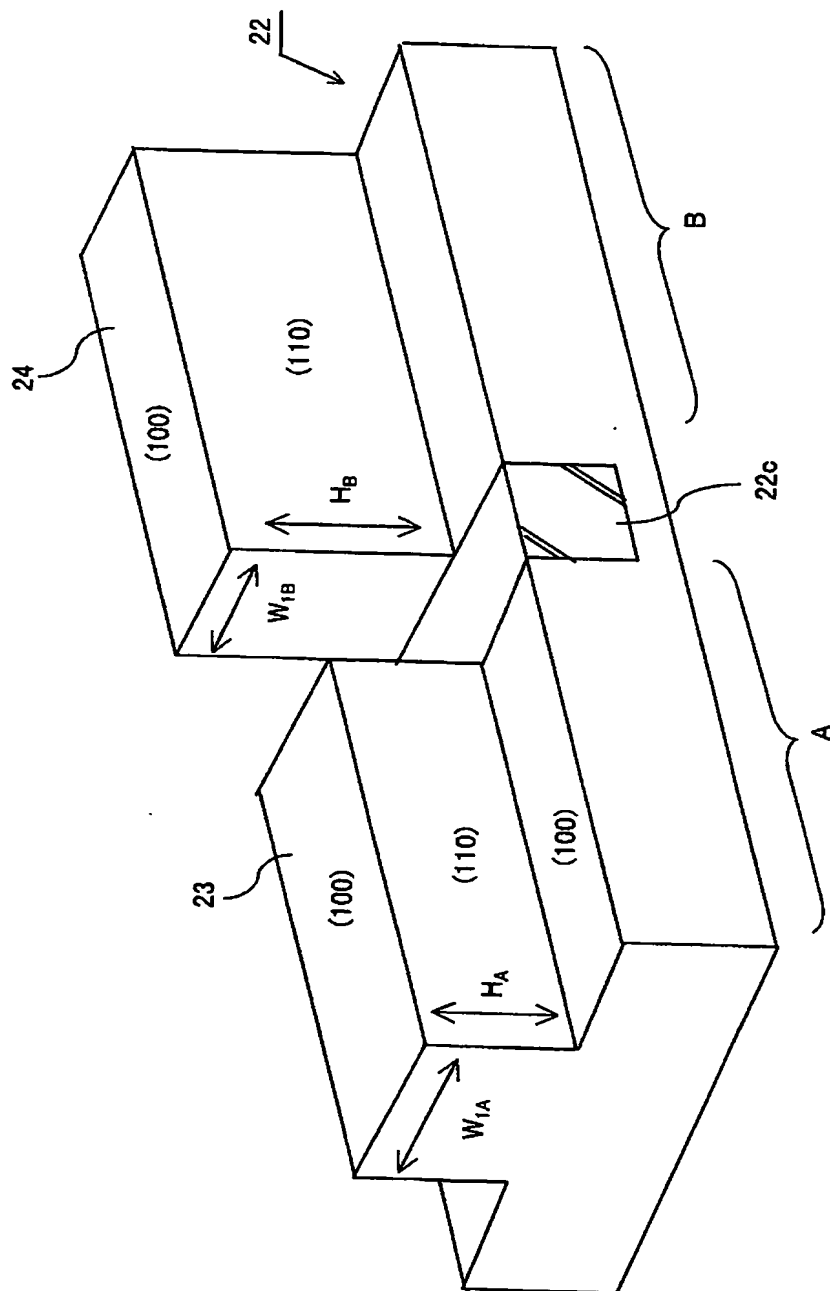
【図 1】



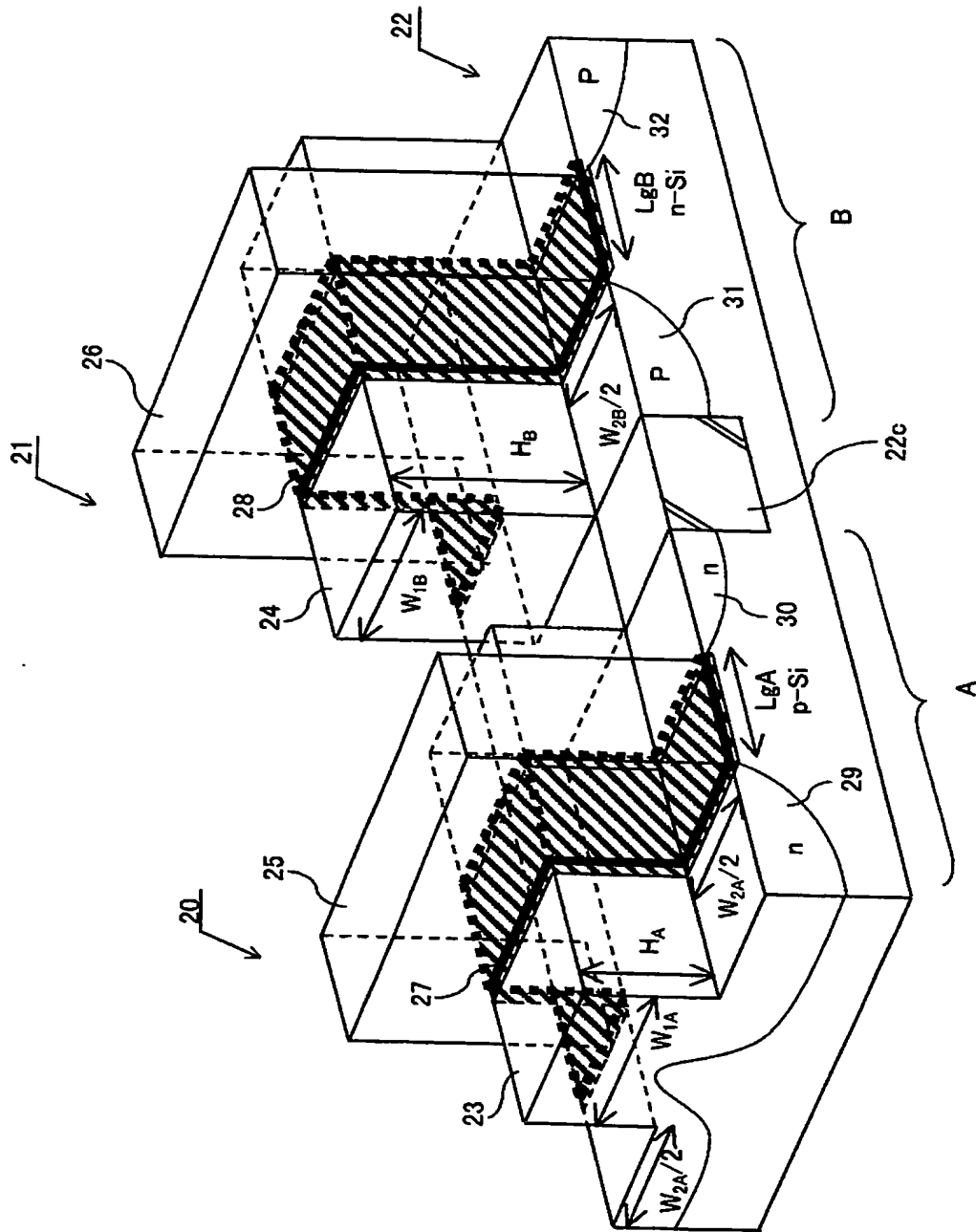
【図 2】



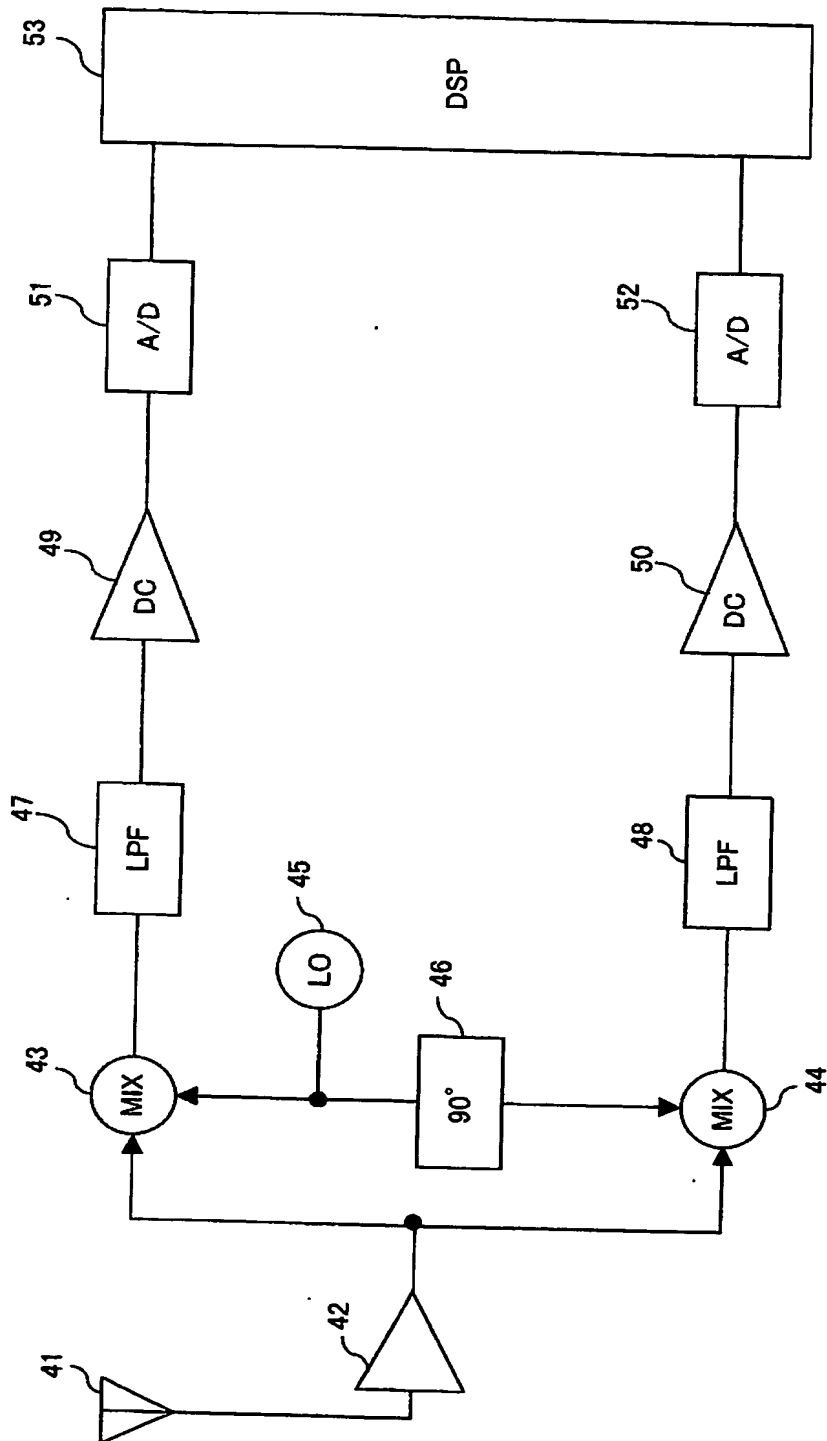
【図 3】



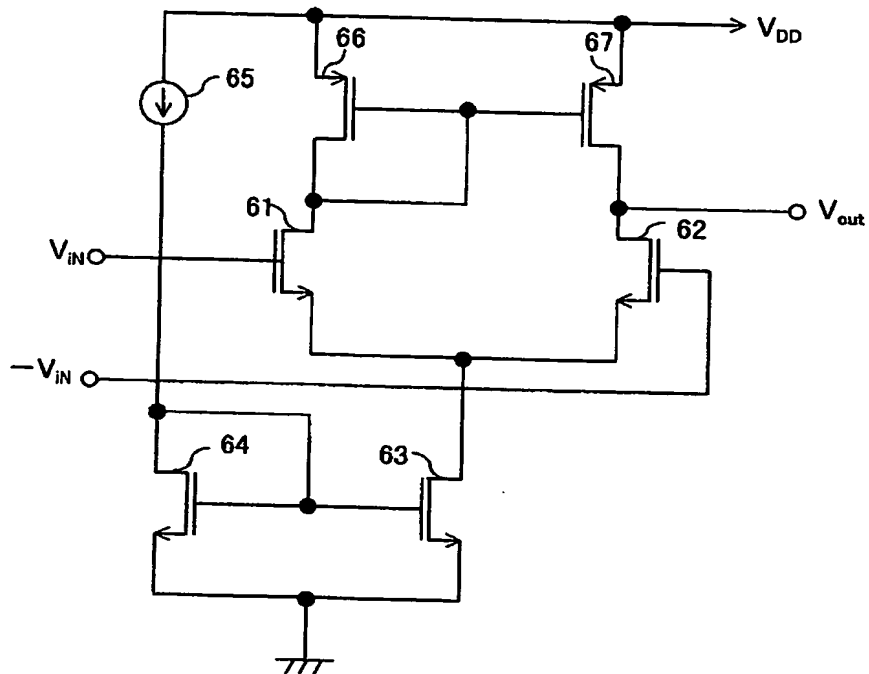
【図4】



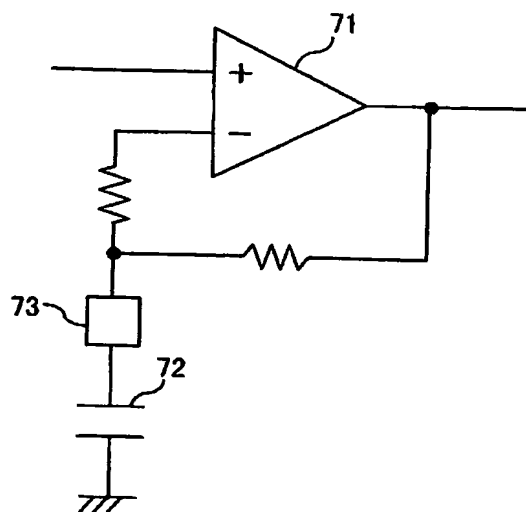
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 高利得のDCアンプを実現することである。

【解決手段】 シリコン基板上に高さ H_B で、幅が W_B の直方体状の突出部21を形成し、突出部21の頂面及び側壁面の一部にゲート酸化膜を形成する。ゲート電極26の両側にソースとドレインを形成してMOSトランジスタを形成する。このMOSトランジスタでDCアンプを構成する。DCアンプは、MOSトランジスタ61と62からなる差動増幅回路を有する。

【選択図】 図6

特願 2003-170104

ページ: 1

出願人履歴情報

識別番号

[000003218]

1. 変更年月日

2001年 8月 1日

[変更理由]

名称変更

住 所

愛知県刈谷市豊田町2丁目1番地

氏 名

株式会社豊田自動織機

特願 2 0 0 3 - 1 7 0 1 0 4

出 願 人 履 歴 情 報

識別番号

[5 9 1 2 2 0 8 5 0]

1. 変更年月日

1 9 9 6 年 5 月 9 日

[変更理由]

住所変更

住 所

新潟県上越市西城町 2 丁目 5 番 1 3 号

氏 名

新潟精密株式会社

特願 2003-170104

ページ: 3/E

出願人履歴情報

識別番号

[000205041]

1. 変更年月日

1990年 8月27日

[変更理由]

新規登録

住 所

宮城県仙台市青葉区米ヶ袋2-1-17-301

氏 名

大見 忠弘